

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-205963

(43)Date of publication of application : 15.08.1990

(51)Int.Cl.

G06F 15/16

G06F 12/08

(21)Application number : 01-166500

(71)Applicant : DIGITAL EQUIP CORP <DEC>

(22)Date of filing : 28.06.1989

(72)Inventor : CHINNASWAMY KUMAR  
FLYNN MICHAEL E  
LYNCH JOHN J

(30)Priority

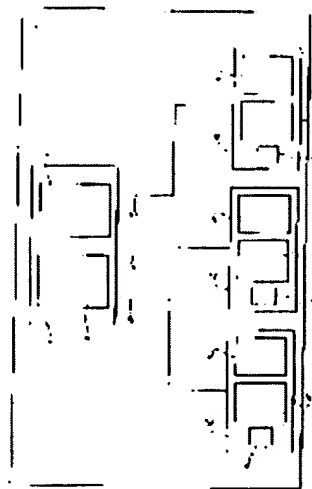
Priority number : 89 303471    Priority date : 27.01.1989    Priority country : US

### (54) READ INTERRUPTION PROCESSING

(57)Abstract:

PURPOSE: To simplify the constitution by interrupting the step of read of request data from an SCU memory at the time of confirming that the changed version of request data is stored in one CPU cache.

CONSTITUTION: The data request from a CPU 10 starts the normal memory read operation from a system control unit(SCU) main memory 6, and this read operation is completed unless an alternative location of the later version of request data is found by an SCU 4 during simultaneously progressing location search of change data. If such location is found on the way of progress of the read operation of the SCU main memory 6, this read operation is interrupted, and change data is passed to the requesting CPU 10 from a CPU cache 14, where this data is located, through the SCU 4. Thus, the band width of data transmission between the CPU 10 and the SCU 4 is minimized while keeping the architecture of a simple computer system.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報(A)

平2-205963

⑬ Int. Cl.<sup>5</sup>G 06 F 15/16  
12/08

識別記号

3 2 0 K  
H

庁内整理番号

6745-5B  
7010-5B

⑭ 公開 平成2年(1990)8月15日

審査請求 未請求 請求項の数 12 (全9頁)

⑮ 発明の名称 読取中断処理

⑯ 特 願 平1-166500

⑰ 出 願 平1(1989)6月28日

優先権主張 ⑱ 1989年1月27日 ⑲ 米国(US) ⑳ 303471

㉑ 発 明 者 グマー チナスワミー アメリカ合衆国 マサチューセッツ州 01757 ミルフ  
ード カントリー クラブ レーン 12シー

㉒ 発 明 者 マイケル イー フリ アメリカ合衆国 マサチューセッツ州 01519 グラフト  
ン ウェストヴィュー ストリート 3

㉓ 発 明 者 ジョン ジェイ リン アメリカ合衆国 マサチューセッツ州 01778 ウェイラ  
ンド ベント アベニュー 46

㉔ 出 願 人 デジタル イクイブ アメリカ合衆国 マサチューセッツ州 01754 メイナ  
メント コーポレーシ  
ョン

㉕ 代 理 人 弁理士 中 村 稔 外7名

## 明 細 書

1. 発明の名称 読取中断処理

2. 特許請求の範囲

(1) メモリ装置とデータロケーションディレクトリを有するシステム制御装置(SCU)、及び各々が書き戻しキャッシュを有する複数の中央処理装置(CPU)を具備したデジタルコンピュータシステムで、メモリ記憶内のCPU要求データに関するメモリ読取待ち時間を最小限とする方法において:

変更データが前記CPUの1つのキャッシュ内に記憶されているとき、該変更データのロケーションを前記SCUに伝送するステップ;

前記変更データの記憶ロケーションを前記SCUの前記データロケーションディレクトリに記憶するステップ;

前記CPUの1つからのデータの要求を前記SCUで受け取るステップ;

前記要求データを前記SCUの前記メモリから読み取るステップ;

前記読取ステップと同時に、前記SCUの前記データロケーションディレクトリをサーチし、前記要求データの変更バージョンが前記CPUキャッシュの1つ内にあるかどうかを判定するステップ;及び

前記データロケーションディレクトリをサーチするステップで、前記要求データの変更バージョンが前記CPUキャッシュの1つ内に記憶されていると確認されたら、前記要求データの前記SCUメモリからの読取ステップを中断するステップ;

を含む方法。

(2) 前記サーチするステップが、前記読取ステップの完了前に完了する請求項(1)記載の方法。

(3) 前記中断するステップが、前記読取ステップの完了前に完了する請求項(2)記載の方法。

(4) 前記要求データの変更バージョンを、前記SCUを介して前記突き止められたCPUキャッシュから前記要求しているCPUへと転送するステップ;

前記変更データを前記SCUメモリ内に記憶するステップ; 及び

前記SCUメモリに記憶された前記変更データのロケーションを、前記SCUデータロケーションディレクトリ内に記憶するステップ;  
をさらに含む請求項(6)記載の方法。

- (6) メモリ装置とデータロケーションディレクトリを有するシステム制御装置(SCU)、及び各々が書き戻しキャッシュを有する複数の中央処理装置(CPU)を具備したデジタルコンピュータシステムで、メモリ記憶内のCPU要求データに関するメモリ読取待ち時間を最小限とする方法において;

前記CPUの1つからのデータの要求を前記SCUで受け取るステップ;

前記要求データを前記SCUの前記メモリから読み取るステップ;

前記読取ステップと同時に、前記SCUの前記データロケーションディレクトリをサーチし、前記要求データの変更バージョンが前記CPU

キャッシュの1つ内にあるかどうかを判定するステップ; 及び

前記データロケーションディレクトリをサーチするステップで、前記要求データの変更バージョンが前記CPUキャッシュの1つ内に記憶されていると確認されたら、前記要求データの前記SCUメモリからの読取ステップを中断するステップ;

を含む方法。

- (6) 前記サーチするステップが、前記読取ステップの完了前に完了する請求項(6)記載の方法。  
(7) 前記中断するステップが、前記読取ステップの完了前に完了する請求項(6)記載の方法。  
(8) 前記要求データの変更バージョンを、前記SCUを介して前記書き止められたCPUキャッシュから前記要求しているCPUへと転送するステップ;

前記変更データを前記SCUメモリ内に記憶するステップ; 及び

前記SCUメモリに記憶された前記変更デー

タのロケーションを、前記SCUデータロケーションディレクトリ内に記憶するステップ;  
をさらに含む請求項(6)記載の方法。

- (9) 複数の中央処理装置(CPU)と、前記CPUの1つからのデータの要求を受け取ると問い合わせ信号を発生し、その後CPU要求データの最新バージョンが別のCPUの1つで書き止められたら中断信号を発生するシステム制御装置(SCU)とを有するデジタルコンピュータで、メモリ装置内に記憶されたCPU要求データに関するメモリ読取待ち時間を最小限とするのに有用なメモリ装置において;

前記メモリ装置から前記CPU要求データを読み取る読取手段;

前記問い合わせ信号と中断信号をデコードする手段;

前記デコードされた問い合わせ信号に応じて前記読取手段を作動し、前記メモリ装置からの前記要求データの読取を開始する手段; 及び

前記デコードされた中断信号に応じて、前記

読取手段が前記メモリ装置からの前記CPU要求データの読取を完了まで至らせない手段;  
を備えたメモリ装置。

- (10) システム制御装置(SCU)で使われ、複数の中央処理装置(CPU)を有するコンピュータシステムにおいて作動し、メモリ装置内に記憶されたCPU要求データに関するメモリ読取待ち時間を最小限とするメモリ装置において;

前記メモリ装置から前記CPU要求データを読み取る読取サイクルを有する読取手段;

前記CPU要求データに関する前記CPUの1つからの要求を表す、前記SCUからの問い合わせ信号をデコードする手段;

前記デコードされた問い合わせ信号に応じて前記読取手段の読取サイクルを開始し、前記メモリ装置からの前記要求データの読取を開始する手段;

前記メモリ装置内の前記CPU要求データがCPU要求データの最新バージョンを含んでいないという判定を表す、前記SCUからの中断

信号をデコードする手段；及び

前記デコードされた中断信号に応じて、前記読取手段の読取サイクルを終了させ、前記メモリ装置からの前記CPU要求データの読取完了まで至らせない手段；

を備えたメモリ装置。

- 00 メモリ、データロケーションディレクトリ及び複数の中央処理装置（CPU）を有するデジタルコンピュータで、メモリ記憶内のCPU要求データに関するメモリ読取待ち時間を最小限とするのに有用な装置において：

変更データが前記CPUの1つ内に記憶されているとき、該変更データのロケーションを受け取る手段；

前記変更データの記憶ロケーションを前記データロケーションディレクトリに記憶する手段；

データの要求を受け取る手段；

前記データロケーションディレクトリをサーチし、前記要求データの変更バージョンが前記CPUの1つ内に記憶されているかどうかを判

定するサーチサイクルを有する手段；

前記メモリから要求データを読み取る読取サイクルを有する手段；

前記サーチ手段のサーチサイクルが前記読取手段の読取サイクルと同時に発生する；及び

前記要求データの変更バージョンが前記CPUの1つ内に記憶されていると前記サーチ手段が判定したら、前記読取手段の読取サイクルを中断する手段；

を備えた装置。

- 01 メモリ、データロケーションディレクトリ及び複数の中央処理装置（CPU）を有するデジタルコンピュータで、メモリ記憶内のCPU要求データに関するメモリ読取待ち時間を最小限とするのに有用な装置において：

変更データの前記CPUの1つ内に記憶されているとき、該変更データのロケーションを受け取る手段；

前記ロケーション受取手段に回答して、前記変更データの記憶ロケーションを前記データロ

ケーションディレクトリに記憶する手段；

データの要求を受け取る手段；

前記データ受取手段に回答して前記データロケーションディレクトリをサーチし、前記要求データの変更バージョンが前記CPUの1つ内に記憶されているかどうかを判定するサーチサイクルを有する手段；

前記要求データの変更バージョンが前記CPUの1つ内に記憶されているかどうかを判定するとサーチを前記サーチ手段が行うと同時に、前記受取手段に回答して、前記メモリから要求データを読み取る読取サイクルを開始する手段；及び

前記要求データの変更バージョンが前記CPUの1つ内に記憶されていたら、前記サーチ手段に回答して前記読取手段のメモリ読取サイクルを終了させ、前記メモリからの前記要求データの読取完了まで至らせない手段；を備えた装置。

### 3. 発明の詳細な説明

（産業上の利用分野）

本発明はデジタルコンピュータのメモリ制御システムに関し、特に要求データの変更バージョンが別の付設CPUキャッシュで利用可能なときに、付設の中央処理装置（CPU）に回答してシステム制御装置（SCU）の主メモリの読取を自動的に中断する方法及び装置に関する。

（従来の技術）

デジタルコンピュータシステムが付設の1つの主メモリと複数の独立したCPUを備えたSCUを含むアーキテクチャを具備し、各CPUが各自の付設書き戻し（ライトバック）キャッシュを備えている場合、SCUの主メモリ内に置かれたデータの変更バージョンが付設CPUの書き戻しキャッシュに存在することがある。従って、CPUの1つが選ばれたデータに関する要求をSCUに送ると、SCUの主メモリ内に記憶された要求データが要求しているCPUへ転送される前に、別の1つのCPU内における要求データの変更バー

ジョンの存在が判定されねばならない。

要求データの変更バージョンを検索する通常の方法では、まず変更データのロケーションについて、それがSCUの主メモリまたはCPUキャッシュの1つのいずれにあるかを判定した後、その判定されたロケーションから変更データを検索する。この方法は良好に機能するが、まず要求データの変更バージョンを突き止めてから、それを要求しているCPUに転送するため、メモリの読取待ち時間が長くなる。

(発明が解決しようとする課題)

上記のようなコンピュータシステムにおけるメモリの読取待ち時間を減らすのに使われる方法は一般に、要求データのロケーション情報を要求しているCPUに“送る”ためのCPU内通信リンク、及び通常のCPUからのSCUへの通信リンク、あるいは変更データが書き込まれる度に変更データのロケーションを各CPUに通信するための、SCUと各CPU用の付設システムバスインタフェースサブシステムを含んだ共通のSCU/

CPUシステムバスを必要とする。しかしこれらの方法は、各CPUにおける変更データ情報の取得及び保持のため、過度に複雑で高価な通信リンク、及び各CPUでの高度なハードウェア及び余分のメモリ容量を必要とする。

(課題を解決するための手段)

本発明は、全ての変更データの記憶ロケーション情報がSCUのロケーションディレクトリ内に記憶された状態で、通常CPUからSCUへの通信リンクの使用を可能とする。変更データがCPUのキャッシュ内へ入力される度に、その変更データのロケーションアドレス情報がSCUのデータロケーションディレクトリに転送されて記憶される。CPUの1つがSCUからデータを要求する度に、SCUは要求データのSCU主メモリからの通常の読取サイクルをスタートする。しかし、これと同時にSCUはSCUディレクトリ内に記憶されているデータロケーションアドレスもサーチし、いずれかのCPUキャッシュ内における要求データの変更バージョンのロケーションを捜し

出す。このような変更データがCPUキャッシュの1つ内で突き止められると、SCU主メモリ装置の読取動作が中断され、SCUはその変更データを突き止められたCPUから要求しているCPUへと、SCUの主メモリ自体から転送される場合と同じ方法で転送する。同時に、変更データがSCUの主メモリ内へ書き込まれ、変更データのロケーションがSCUの主メモリ内に存在するものとして再アドレスされる。

しかし、SCUの主メモリから読み取られたデータが利用可能な最新のバージョンであることを変更データのサーチを示すと、開始されたSCU主メモリの読取サイクルが完了可能とされ、こうして読み取られた要求データが要求しているCPUに転送される。

従って、簡単なCPU/SCU通信リンクでメモリ読取の最小待ち時間が得られる。CPUからのデータ要求がSCU主メモリからの通常のメモリ読取動作を開始させ、同時進行している変更データのロケーションサーチ中に要求データのより

最近のバージョンの代替ロケーションがSCUによって見つからなければ、その読取動作を完了させる。SCU主メモリ読取動作の進行中にそのようなロケーションが見つければ、その読取動作が中断され、変更データがその突き止められたCPUキャッシュからSCUを介して要求しているCPUに回送される。つまり、メモリ読取の最大待ち時間は、通常のSCU主メモリ読取動作の待ち時間より、変更データのロケーションを突き止めて、SCU主メモリの読取動作を終了させるのに必要な時間長いだけである。従って、簡単なコンピュータシステムのアーキテクチャを保ったまま、CPUとSCU間におけるデータ伝送のバンド幅が最小限化される。

(実施例)

全国を通じて同じ参照符号は同じまたは対応した部分を示している図面を参照すると、第1図は本発明を実施するのに適した典型的なデジタルコンピュータシステム2を示す。システム2は、付設のSCU主メモリ6とSCUデータ記憶ロケーシ

オンディレクトリ 8 を含むシステム制御装置 (SCU) 4 を具備する。SCU 14 は一般に、付設のデータバスリンク 12 を介して複数の独立した中央処理装置 (CPU) 10 に相互接続されている。各々の CPU 10 は、書き戻し (ライトバック) キャッシュ 14、制御装置 16 及び入/出力 (I/O) 装置 18 を有する。

CPU 10 は個々に、当該分野で周知のように、SCU 主メモリ 6 内に記憶されているデータの変更バージョンを含め、それぞれの付設キャッシュ 14 内に記憶されたデータを更新することがある。しかし同じく当該分野で周知のように、個々の CPU 10 に書き込まれるデータのアドレスは SCU 4 へ転送されて SCU データ記憶ロケーションディレクトリ 8 に記憶されるので、SCU 4 は他のいずれかの CPU 10 によって要求されたいずれかの CPU 10 内のいずれかの変更データを、サーチして突き止めることができる。第 1 図における SCU 主メモリ 6 と SCU ディレクトリ 8、並びに各付設 CPU 10 毎の CPU 書き戻し

キャッシュ 14、CPU 制御装置 16 及び CPU I/O 装置 18 はそれぞれ各種周知の構成で相互に接続可能な周知の要素で、これらの要素自体は本発明の一部を構成しないため、概念要求だけを目的として第 1 図にはブロックの形で示してある。

SCU データ記憶ロケーションディレクトリ 8 は全てのデータ記憶ロケーション情報を記憶するので、まず SCU ディレクトリ 8 に問い合わせ、要求している 1 つの CPU 10 によって要求されたいずれかのデータの最新バージョンのロケーションを見出し、その後要求データの最新バージョンのアドレスが求められたら、SCU 主メモリ 6 または他の CPU キャッシュ 14 の 1 つどちらかの対応したソースからデータを読み取ることができる。

しかし、前記のごとくこのような手順は、特に SCU 主メモリ 6 内に記憶された最も要求されるデータが現在データである場合、不必要なメモリ読取待ち時間を生じる。なぜなら前記したように、SCU 主メモリ 6 内に記憶された最も要求される

データが現在データである場合でも、SCU 主メモリ 6 の通常の読取サイクルが開始可能となるまで、全てのデータ記憶ロケーションが SCU 4 によってサーチされねばならない。

本発明は、要求している 1 つの CPU 10 からの要求後できるだけすばやく、SCU 主メモリ 6 の通常の読取サイクルを開始することによって、上記の不必要なメモリ読取待ち時間を取り除く。同時に、SCU データ記憶ロケーションディレクトリ 8 内に記憶されているデータロケーションの問い合わせも行われて、要求データの変更バージョンのロケーションを求める。要求データが SCU 主メモリ 6 内で見つかり、SCU 主メモリ 6 の最初の読取サイクルが継続される。しかし、要求データの最新バージョンが CPU キャッシュ 14 の 1 つ内にあると判定されると、中断コマンドが SCU 主メモリ 6 に送られる SCU 主メモリ 6 の通常の読取サイクルを終了させた後、要求データの最新バージョンを持っていると判定された CPU キャッシュ 14 が問い合わせされる。CPU キャ

ッシュ 14 の突き止められた 1 つからデータが読み取られ、そのデータが SCU 4 を介して要求している 1 つの CPU 10 に送られる。

本発明の手法が、第 2 図のシステムのフローチャートに示してある。要求している 1 つの CPU 10 が、それに付設の I/O 装置 18 と制御装置 16 を介して、選ばれたデータを要求する。データ要求は、付設のデータバスリンク 12 を介して SCU 4 に送られる。SCU 4 は同時に、SCU 主メモリ 6 の通常の読取サイクルを開始して要求データを検索すると共に、SCU データ記憶ロケーションディレクトリ 8 のサーチを開始して要求データの最新バージョンを突き止める。

SCU データ記憶ロケーションディレクトリ 8 が要求データの最新バージョンのロケーションを求めた後、求められたロケーションが SCU 主メモリ 6 内にあるかどうかを判定する。SCU 主メモリ 6 内にあれば、SCU 4 から SCU 主メモリ 6 に「承認 (OK)」コマンドが与えられてその開始された読取サイクルを完了し、読取サイクル

の完了後、要求データが付設のデータバスリンク12を介して要求している1つのCPU10に転送される。

要求データの最新バージョンがSCUの主メモリ6内にないと判定されると、SCU4は“中断(ABORT)”コマンドによってSCU主メモリ6の開始された読取サイクルを中断し、同時にSCU4は、要求データの最新バージョンを持っていると判断され突き止められた1つのCPU10に、付設のデータバスリンク12を介してデータ要求を送る。次いで、突き止められた1つのCPU10がそれに付設のCPUキャッシュ14に記憶されている要求データの最新バージョンを読み取り、こうして読み取られた要求データが突き止められた1つのCPU10から付設のデータバスリンク12を介してSCU4に転送される。そして、SCU4が受け取った要求データを、要求している1つのCPU10に付設のデータバスリンク12を介して送る。同時に、SCU4は要求データの記憶バージョンを、突き止められた1つの

CPU10から受け取った最新バージョンと置き換えると共に、現在SCU主メモリが要求データの最新バージョンを有することをSCUディレトリ8内に指示する。

本発明による読取中断処理は、第3図に示した好ましい実施例によって好ましい実施例によって容易に実行される。SCU主メモリ6は、SCUメモリアインタフェース装置20、メモリアレイコントロール22、メモリアドレス選択バッファ24及びメモリアレイ26を具備する。これらは各種周知の構成で相互に接続可能な周知の要素で、これらの要素自体は本発明の一部を構成しないため、概念表示だけを目的として第3図にはブロックの形で示してある。SCU4は前記したように、ロードコマンドライン28上の“ロードコマンド(LOAD COMMAND)”信号とコマンドライン30上の“読取(READ)”信号を同時に確認することによってメモリ読取サイクルを開始し、両ライン28と30はSCU/メモリアインタフェース装置20に信号を供給している。SCU4とSCU主

メモリ6のSCU/メモリアインタフェース装置20間のSCU読取サイクル状態ライン32が、周知の手順に従って前記のごとく、SCU4とSCU主メモリ6間で“承認”または“中断”コマンドを交信する役割を果たす。インタフェース装置20は、“スタート(START)”信号をメモリスタートライン34上に、“読取”信号をメモリアレイコマンドライン36上に、また選ばれたアドレス信号をアドレス選択ライン38上にそれぞれ与えることによって応答する。メモリスタートライン34上の“スタート”信号とメモリアレイコマンドライン36上の“読取”信号は、メモリアレイコントローラ22に送られる。メモリアレイ状態ライン40もメモリアレイコントローラ22をインタフェース装置20と相互に接続し、“承認”または“中断”の読取サイクルコマンドをメモリアレイコントローラ22に転送する。メモリアレイコントローラ22は、ライン34上の“スタート”信号とライン36上の“読取”信号に対して、一連の3つの信号をメモリアレイスト

ローブライン42上に与えることによって応答する。これら3つの信号とは、“行アドレスストローブ(RAS)”信号、“列アドレスストローブ(CAS)”信号及び“書込エネーブル(WRITE ENABLE)”信号である。

アドレス選択ライン38はメモリアドレス選択バッファ24に信号を供給し、メモリアドレス選択バッファ24はライン38上のアドレス選択信号に対し、メモリアレイアドレスライン44上にアドレス信号を与えることによって応答する。

メモリアレイストローブライン42とメモリアレイアドレスライン44は共に、メモリアレイ26に信号を供給する。RAS信号がストローブライン42上に確認されている間、メモリアレイストローブライン44がアドレス信号をメモリアレイ26に与える。RASタイミング要求が満たされた後、CAS信号がストローブライン42上に確認される。CASタイミング要求が満たされたら、アドレスライン44上のアドレス信号に対応したデータが読み取られる。データの交換が指



定されていないと、“書込エネーブル (WRITE ENABLE)” 信号が確認されない。

要求データの最新バージョンがSCU主メモリ6内にあることを、SCUディレクトリ8が周知の手順に基づき判定すると、SCU4は主メモリ状態ライン32を経て“承認”信号をインタフェース装置20に送る。次いで、インタフェース装置20が“承認”状態信号をメモリアレイコントローラ22に送り、前述したようにメモリ読取サイクル最後まで進行可能とする。

一方、要求データの最新バージョンがSCU主メモリ6内でなく、1つのCPUキャッシュ14内にあることをSCUディレクトリ8が周知の手順に基づき判定すると、SCU4は主メモリ状態ライン32を経て“中断”信号をインタフェース装置20に送る。次いで、インタフェース装置20が“中断”信号をメモリアレイコントローラ22に送り、前述したようにできるだけすばやく読取サイクルを終了させる。RAS及びCASのタイミング制約のため、“中断”信号がメモリア

レイコントローラ22によって受け取られた後、ある時間中にRAS及びCAS両信号が確認されねばならないこともある。

それにも拘らず、前記のごとき読取中断処理は、データの転送バンド幅に何等の影響も及ぼさず、コンピュータシステム2のメモリ読取待ち時間を最小とする。一部のメモリ読取は開始されて完了されないため、コンピュータシステム2のメモリ効率は妥協としてある程度損なわれる。しかしこの妥協は、SCU主メモリ6内に記憶された最も要求されるデータが現在データと判定される場合最小となる。

本発明の特質を声明するため以上説明し図示した部品及びアセンブリの詳細、配置及び構成における各種変更が、特許請求の範囲に記載された本発明の原理及び範囲内において、当業者にとって可能なことはもちろんである。

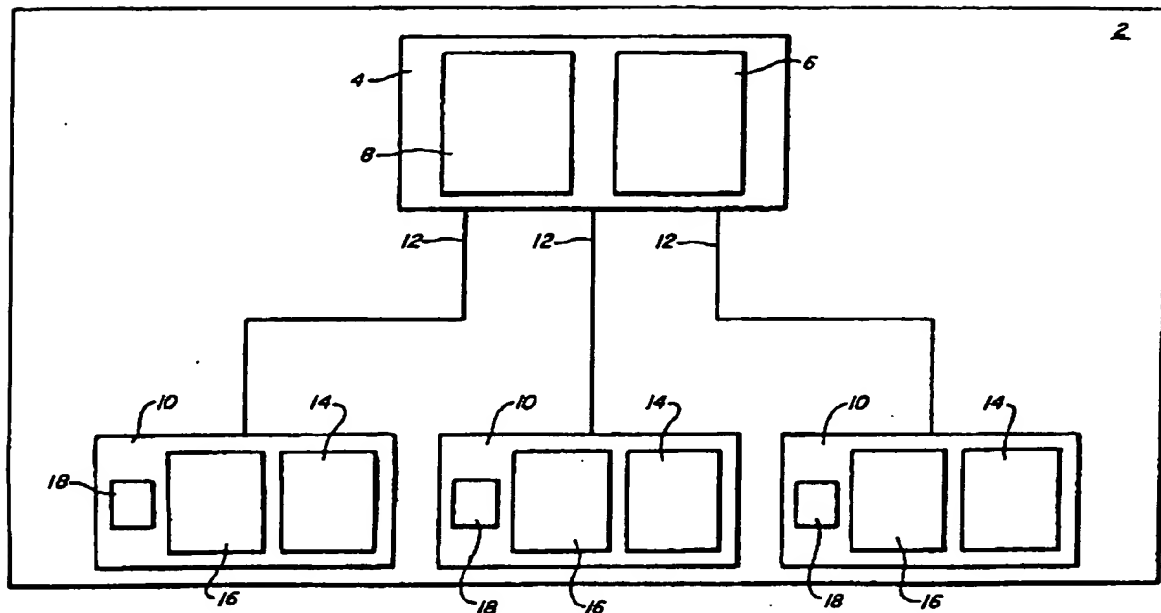
#### 4. 図面の簡単な説明

第1図は本発明を実施するのに適した、SCU及び独立の付設CPUを備えた典型的なコンピュ

ータシステムのブロック図：第2図は第1図に示したシステムで用いるのに適した、本発明の好ましい実施例における論理ステップの基本フローチャート：及び第3図は第1図に示したデジタルコンピュータシステムで使われる本発明の好ましい実施例の典型的なブロック図である。

2・・・コンピュータシステム、4・・・システム制御装置 (SCU)、6・・・SCUメモリ (装置)、8・・・SCUデータロケーションディレクトリ、10・・・中央処理装置 (CPU)、14・・・CPU書き戻しキャッシュ、20・・・SCUメモリインタフェース装置、22・・・メモリアレイコントローラ、24・・・メモリアドレス選択バッファ、26・・・メモリアレイ。

FIG. 1



**FIG. 2**

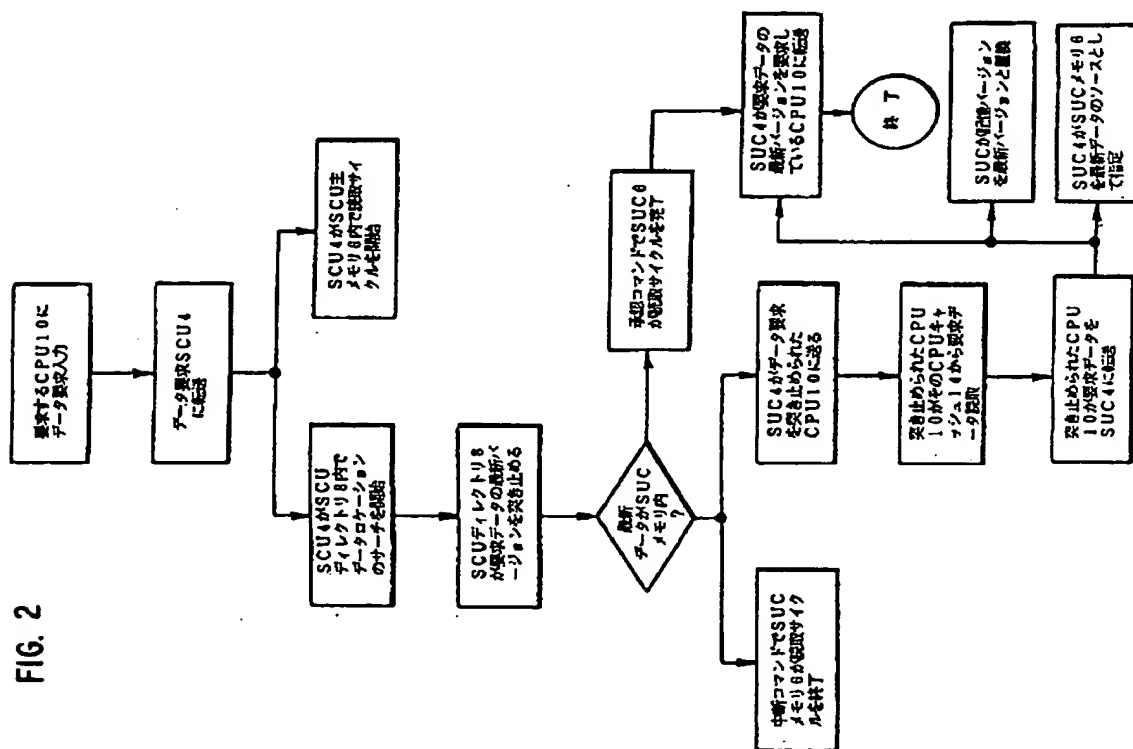


FIG. 3

